

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010004039 A
(43)Date of publication of application: 15.01.2001

(21)Application number: 1019990024624
(22)Date of filing: 28.06.1999

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: HWANG, CHANG SEON
JUNG, SEUNG JO

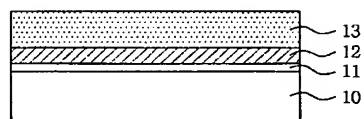
(51)Int. Cl. H01L 27/08

(54) METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device is provided to prevent a hot carrier phenomenon and a punch-through phenomenon by forming a reverse T-type gate.

CONSTITUTION: A gate oxide layer(11), the first conductive layer of the second conductivity type and the first insulating layer are sequentially formed on a semiconductor substrate(10) of the first conductivity type. A trench exposing a part of the first conductive layer is formed on the first insulating layer. The first spacer of the second insulating layer is formed on a side wall of the trench. The second conductive layer is filled in the trench to form an upper gate. The first insulating layer and first conductive layer are etched to form a lower gate, so that a reverse T-type gate composed of the upper and lower gates is formed. A lightly doped drain(LDD) region of the second conductivity type is formed on both sides of the lower gate. The first spacer is removed to completely expose the reverse T-type gate. A punch-stop layer of the first conductivity type surrounding the LDD region is formed in the substrate on both sides of the upper gate. The second spacer of the third insulating layer is formed on a sidewall of the upper gate. The third spacer of the fourth insulating layer is formed on the side wall of the reverse T-type gate. A source/drain of the second conductivity type is formed in the punch-stop layer on both sides of the third spacer.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020531)

Patent registration number (1003493670000)

Date of registration (20020807)

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁹

H01L 27/08

(45) 공고일자 2002년08월21일

(11) 등록번호 10-0349367

(24) 등록일자 2002년08월07일

(21) 출원번호 10-1999-0024624

(65) 공개번호 특2001-0004039

(22) 출원일자 1999년06월28일

(43) 공개일자 2001년01월15일

(73) 특허권자 주식회사 하이닉스반도체

(72) 발명자 경기 이천시 부발읍 아미리 산136-1

정승조

경기도이천시부발읍신하리신한아파트101-703

황창선

(74) 대리인 서울특별시구로구고척2동323번지그랜드아파트101동407호

강성배

심사관 : 홍요구

(54) 반도체 소자의 제조방법

요약

본 발명은 게이트를 역 T형으로 형성하여 핫캐리어 및 펀치스루현상을 방지하면서 제조비용을 감소시킬 수 있는 반도체 소자의 제조방법을 제공한다.

본 발명에 따라, 제 1 도전형 반도체 기판 상에 게이트 산화막, 제 1 도전형과 반대 도전형의 제 2 도전형의 제 1 도전막 및 제 1 절연막을 순차적으로 형성하고, 제 1 절연막에 제 1 도전막의 일부를 노출시키는 트렌치를 형성한다. 그런 다음, 트렌치의 측벽에 제 2 절연막의 제 1 스페이서를 형성하고, 제 1 스페이서가 형성된 상기 트렌치에 제 2 도전막을 매립시켜 상부 게이트를 형성한 후, 상부 게이트 및 제 1 스페이서를 식각 마스크로하여 제 1 절연막 및 제 1 도전막을 식각하여 하부 게이트를 형성하여 상부 게이트 및 하부 게이트로 이루어진 역 T형 게이트를 형성한다. 그런 다음, 하부 게이트의 양 측 기판에 제 2 도전형의 LDD 영역을 형성하고, 제 1 스페이서를 제거하여 역 T형 게이트를 완전히 노출시킨 후, 상부 게이트 양 측의 기판에 상기 LDD 영역을 둘러싸도록 제 1 도전형의 펀치스톱층을 형성한다. 그리고 나서, 상부 게이트의 측벽에 제 3 절연막의 제 2 스페이서를 형성하고, 제 2 스페이서가 형성된 상기 역 T형 게이트의 측벽에 제 4 절연막의 제 3 스페이서를 형성한 후, 제 3 스페이서 양 측의 펀치스톱층 내에 제 2 도전형 소오스/드레인을 형성한다.

도면도

도 1j

명세서

도면의 간단한 설명

도 1a 내지 도 1j는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도.

(도면의 주요부분에 대한 부호의 설명)

- | | |
|---------------|----------------|
| 10 : 반도체 기판 | 11 : 게이트 산화막 |
| 12 : 제 1 도전막 | 12A : 하부 게이트 |
| 13 : 산화막 | 14 : 제 1 스페이서 |
| 15 : 상부 게이트 | 16 : LDD 영역 |
| 17 : 펀치스톱층 | 18 : 제 2 스페이서 |
| 19 : 제 2 스페이서 | 20 : 소오스/드레인 |
| 100 : 트렌치 | 200 : 역 T형 게이트 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 역 T형 게이트를 구비한 반도체 소자의 제조방법

에 관한 것이다.

반도체 소자의 고집적화에 따라, MOS 소자의 소오스 및 드레인 간의 채널길이가 짧아지면서 높은 전류하에서도 신뢰성을 유지할 수 있는 소자에 대한 연구가 지속되고 있다. 한편, 짧은 채널 길이를 갖는 MOS 소자는 드레인 전압이 증가함에 따라 펀치 오프(pinch-off) 보다는 펀치 스루(punchthrough)가 발생하게 되고, 이러한 채널 내의 전기적 포텐셜과 전기장을 결정하는 것이 소자의 특성을 좌우하게 된다. 한편, 소오스에서 드레인으로의 채널상의 전위가 높아져 단위 MOS의 채널에 강한 전계가 걸리게 되어 전계내의 전자들이 높은 에너지를 갖게 됨에 따라 핫 캐리어(hot carrier) 현상이 발생하여 문턱전압을 불안정하게 할 뿐만 아니라, 심각한 펀치스루(punch-through) 문제를 야기시켜 소자의 신뢰성을 저하시킨다.

이에 대하여 MOS 소자의 제조시 소오스/드레인을 LDD(Lightly Doped Drain) 구조로 형성하는 방법과 별도의 펀치스톱(punch-stop)층을 형성하는 방법이 적용되고 있다. 여기서, 펀치스톱층은 소자의 채널영역보다 이온을 깊게 주입하거나 웨이퍼를 소정의 각도로 회전시키면서 게이트 저부 양 측의 코너로 이온을 주입함으로써 형성한다.

본 발명이 이루고자 하는 기술적 과제

그러나, 상기한 펀치스톱층을 적용하는 경우, 펀치스루 현상은 방지되는 반면, 상기한 이온주입에 의해 게이트의 스윙(swing) 전압과 문턱전압(threshold voltage)의 변동을 유발하여 소자의 특성 및 신뢰성이 저하된다. 또한, 웨이퍼 전체에 대하여 균일한 이온주입이 어렵고, 별도의 이온주입 마스크가 요구되므로 제조비용이 증가된다.

따라서, 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로서, 게이트를 역 T형으로 형성하여 핫캐리어 및 펀치스루현상을 방지하면서 제조비용을 감소시킬 수 있는 반도체 소자의 제조방법을 제공함에 그 목적이 있다.

본 발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명에 따라, 제 1 도전형 반도체 기판 상에 게이트 산화막, 제 1 도전형과 반대 도전형의 제 2 도전막 및 제 1 절연막을 순차적으로 형성하고, 제 1 절연막에 제 1 도전막의 일부를 노출시키는 트렌치를 형성한다. 그런 다음, 트렌치의 측벽에 제 2 절연막의 제 1 스페이서를 형성하고, 제 1 스페이서가 형성된 상기 트렌치에 제 2 도전막을 매립시켜 상부 게이트를 형성한 후, 상부 게이트 및 제 1 스페이서를 식각 마스크로하여 제 1 절연막 및 제 1 도전막을 식각하여 하부 게이트를 형성하여 상부 게이트 및 하부 게이트로 이루어진 역 T형 게이트를 형성한다. 그런 다음, 하부 게이트의 양 측 기판에 제 2 도전형의 LDD 영역을 형성하고, 제 1 스페이서를 제거하여 역 T형 게이트를 완전히 노출시킨 후, 상부 게이트 양 측의 기판에 상기 LDD 영역을 둘러싸도록 제 1 도전형의 펀치스톱층을 형성한다. 그리고 나서, 상부 게이트의 측벽에 제 3 절연막의 제 2 스페이서를 형성하고, 제 2 스페이서가 형성된 상기 역 T형 게이트의 측벽에 제 4 절연막의 제 3 스페이서를 형성한 후, 제 3 스페이서 양 측의 펀치스톱층 내에 제 2 도전형 소오스/드레인을 형성한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

도 1a 내지 도 1j는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도이다.

도 1a를 참조하면, P형 반도체 기판(10) 상에 게이트 산화막(11)을 형성하고, 게이트 산화막(11) 상에 하부 게이트용 제 1 도전막(12)을 형성한다. 여기서, 제 1 도전막(12)은 N형 폴리실리콘막으로 250 내지 350 Å의 두께로 형성한다. 그런 다음, 제 1 도전막(12) 상에 제 1 절연막으로서 2,000 내지 3,000 Å의 두께로 산화막(13)을 형성하고, 하고, 포토리소그라피 및 식각공정으로 산화막(13)을 패터닝하여, 도 1b에 도시된 바와 같이, 산화막(13)에 제 1 도전막(12)의 일부를 노출시키는 트렌치(100)를 형성한다.

도 1c를 참조하면, 도 1b의 구조 상에 제 2 절연막으로서 산화막(13)에 대한 식각저지막으로서 작용하는 막으로, 바람직하게 질화막을 증착하고, 건식식각으로 식각하여 트렌치(100)의 측벽에 질화막의 제 1 스페이서(14)를 형성한다. 도 1d를 참조하면, 제 1 스페이서(14)가 형성된 트렌치(100)에 매립되도록 산화막(13) 상부에 상부 게이트용 제 2 도전막을 증착하고 산화막(13) 표면이 노출되도록 식각하여 트렌치(100) 내에만 제 2 도전막이 남도록 하여 역 T형 게이트의 상부 게이트(15)를 형성한다. 여기서, 제 2 도전막은 금속 실리사이드막, 바람직하게 티타늄 실리사이드막으로 형성한다.

그런 다음, 상부 게이트(15) 및 제 1 스페이서(14)를 식각 마스크로서 산화막(13) 및 제 1 도전막(12)을 식각하여, 도 1e에 도시된 바와 같이, 하부 게이트 (12A)를 형성하여, 하부 게이트(12A) 및 상부 게이트(15)로 이루어진 역 T형 게이트(200)를 형성한다. 도 1f를 참조하면, 역 T형 게이트(200) 및 제 1 스페이서 (14)를 이용하여 기판(10)으로 저농도 N형 불순물 이온을 주입하여, 하부 게이트(12A)의 양 측 기판(10)에 LDD 영역(16)을 형성한다.

도 1g에 도시된 바와 같이, 제 1 스페이서(14)를 제거하여, 역 T형 게이트(200)를 완전히 노출시킨다. 그런 다음, 역 T형 게이트(200)를 이용하여 기판(10)으로 P형 불순물 이온을 주입하여, 도 1h에 도시된 바와 같이, 상부 게이트 (15) 양 측의 기판(10)에 LDD 영역(16)을 둘러싸도록 펀치스톱층(17)을 형성한다.

도 1i를 참조하면, 도 1a의 구조 상에 제 3 절연막으로서 산화막을 증착하고 건식식각하여 상부 게이트(15)의 측벽에 산화막의 제 2 스페이서(18)를 형성한다. 그런 다음, 기판 전면에 제 4 절연막으로서 산화막에 대한 식각저지막으로서 작용하는 막으로서, 바람직하게 질화막을 증착하고 기판(10)의 표면이 노출되도록 건식식각하여 제 2 스페이서(18)가 형성된 역 T형 게이트(200)의 측벽에 질화막의 제 3 스페이서(19)를 형성한다. 그리고 나서, 역 T형 게이트(200), 제 2 및 제 3 스페이서(18, 19)를 이용하여 기판(10)으로 고농도 N형 불순물 이온을 주입하여, 도 1j에 도시된 바와 같이, 제 3 스페이서(19) 양 측의 펀치스톱층(17) 내에 소오스/드레인 (20)을 형성한다.

발명의 효과

상기한 본 발명에 의하면, 역 T형 게이트를 이용한 이온주입공정에 의해 소오스 및 드레인 영역을 완전히 감싸도록 드레인 영역을 완전히 감싸도록 편치스톱층이 형성되므로 편치쓰루 현상이 효과적으로 방지된다. 또한, 소오스/드레인을 이중 스페이서를 이용하여 형성하기 때문에, 종래보다 안정한 LDD 구조를 얻을 수 있고, 이러한 LDD 구조에 의해 한개리어 현상이 효과적으로 방지된다. 결과로서, 소자의 특성 및 신뢰성이 향상된다. 또한, 별도의 마스크 적용없이 트렌치 기술로 역 T형 게이트를 형성하고 이러한 역 T형 게이트 및 스페이서를 이용하여 편치스톱층을 자기정렬(self-align)로 형성하기 때문에 제조비용이 감소되고 웨이퍼 내에서 균일하게 이온주입이 이루어진다.

또한, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 요지를 벗어나지 않는 범위내에서 다양하게 변형시켜 실시할 수 있다.

(5) 청구의 범위**청구항 1**

제 1 도전형 반도체 기판 상에 게이트 산화막, 상기 제 1 도전형과 반대 도전형의 제 2 도전형의 제 1 도전막 및 제 1 절연막을 순차적으로 형성하는 단계;

상기 제 1 절연막에 상기 제 1 도전막의 일부를 노출시키는 트렌치를 형성하는 단계;

상기 트렌치의 측벽에 제 2 절연막의 제 1 스페이서를 형성하는 단계;

상기 제 1 스페이서가 형성된 상기 트렌치에 제 2 도전막을 매립시켜 상부 게이트를 형성하는 단계;

상기 상부 게이트 및 제 1 스페이서를 식각 마스크로하여 상기 제 1 절연막 및 제 1 도전막을 식각하여 하부 게이트를 형성하여 상부 게이트 및 하부 게이트로 이루어진 역 T형 게이트를 형성하는 단계;

상기 하부 게이트의 양 측 기판에 제 2 도전형의 LDD 영역을 형성하는 단계;

상기 제 1 스페이서를 제거하여 상기 역 T형 게이트를 완전히 노출시키는 단계;

상기 상부 게이트 양 측의 기판에 상기 LDD 영역을 둘러싸도록 제 1 도전형의 편치스톱층을 형성하는 단계;

상기 상부 게이트의 측벽에 제 3 절연막의 제 2 스페이서를 형성하는 단계;

상기 제 2 스페이서가 형성된 상기 역 T형 게이트의 측벽에 제 4 절연막의 제 3 스페이서를 형성하는 단계; 및

상기 제 3 스페이서 양 측의 상기 편치스톱층 내에 제 2 도전형 소오스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 1 도전막은 폴리실리콘막으로 형성하고, 제 2 도전막은 금속 실리사이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3

제 3 항에 있어서, 상기 금속 실리사이드막은 티타늄 실리사이드막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4

제 3 항에 있어서, 상기 제 1 도전막은 250 내지 350 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5

제 1 항에 있어서, 상기 제 1 절연막은 산화막이고 상기 제 2 절연막은 질화막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6

제 1 항 또는 제 5 항에 있어서, 상기 제 1 절연막은 2,000 내지 3,000 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7

제 1 항에 있어서, 상기 LDD 영역을 형성하는 단계는

상기 역 T형 게이트 및 제 1 스페이서를 이용하여 상기 기판으로 제 2 도전형 저농도 불순물 이온을 주입하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8

제 1 항에 있어서, 상기 편치스톱층을 형성하는 단계는

상기 역 T형 게이트를 이용하여 상기 기판으로 제 1 도전형 불순물 이온을 주입하는 것을 특징으로 하는

반도체 소자의 제조방법:

청구항 9

제 1 항에 있어서, 상기 소오스/드레인을 형성하는 단계는

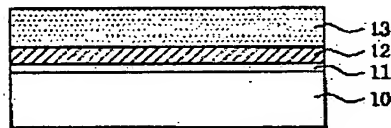
상기 제 2 및 제 3 스페이서 및 상기 역 T형 게이트를 이용하여 제 2 도전형 고농도 불순물 이온을 주입하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10

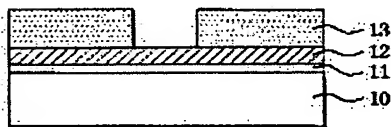
제 1 항에 있어서, 상기 제 3 절연막은 산화막이고, 상기 제 4 절연막은 질화막인 것을 특징으로 하는 반도체 소자의 제조방법.

도면

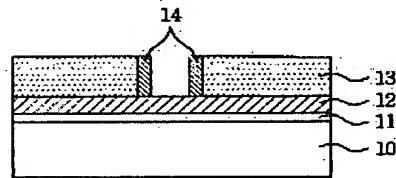
도면 1a



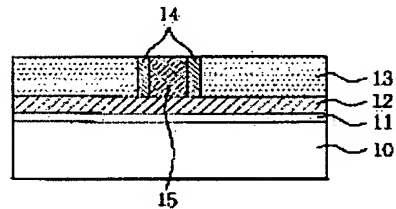
도면 1b



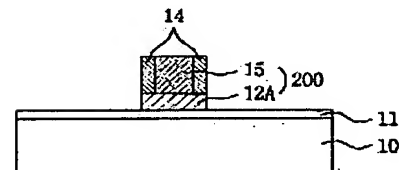
도면 1c



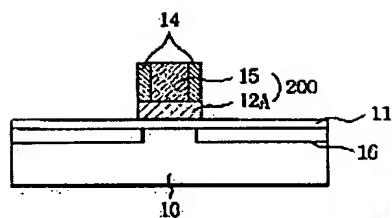
도면 1d



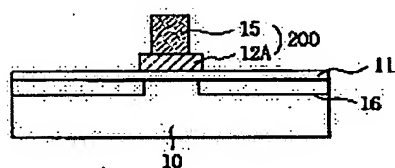
도면 1e



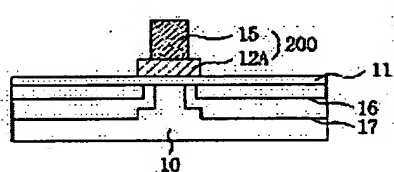
도면 11



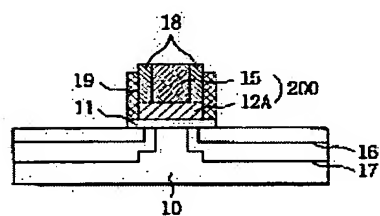
도면 12



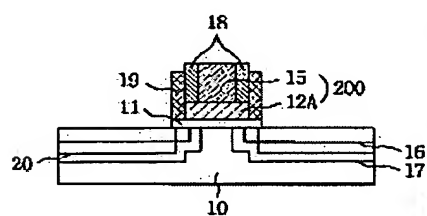
도면 13



도면 14



도면 15



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.